

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-153760

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 09-258653

(71)Applicant : TOSHIBA ELECTRON ENG CORP
TOSHIBA CORP

(22)Date of filing : 24.09.1997

(72)Inventor : SASAKI TAKESHI
SHIMIZU KAN

(30)Priority

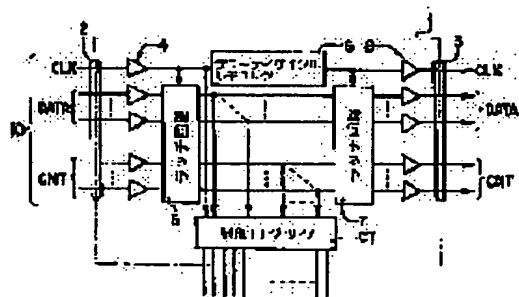
Priority number : 08251593 Priority date : 24.09.1996 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a large screen size or high resolution without increasing the frame size and manufacture cost unnecessarily.

SOLUTION: The liquid crystal display device is equipped with a liquid crystal panel, which has scanning lines and signal lines, and a display control circuit, which selects one line of liquid crystal pixels through each scanning line and controls the voltage of liquid crystal pixels in a selected line through signal lines, and the display control circuit includes a signal line driver, which drives those signal lines in order, and the signal line driver has driver ICs 1 which supply pixel data signals to a specific number of signal lines in synchronism with respective clock signals cascaded by a crossover transmitting clock signals and pixel data signals. Specially, each driver IC 1 has a duty cycle regulator 6, which shapes the clock signal waveform by adjusting the duty ratio of the clock signal outputted to a trailing stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21) 出願番号 特願平9-258653

(22) 出願日 平成9年(1997) 9月24日

(31) 優先権主張番号 特願平8-251593

(32) 優先日 平8(1996) 9月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐々木 剛

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

(72) 発明者 清水 簡

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

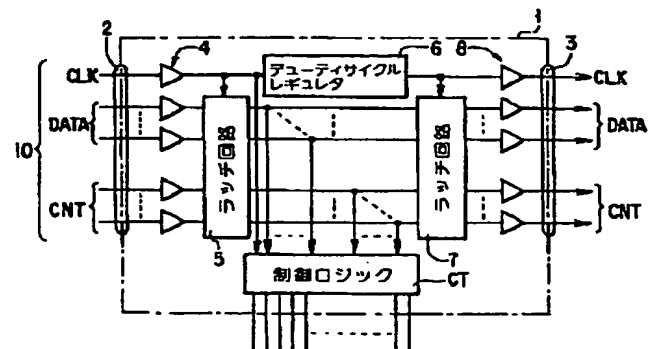
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 額縁寸法および製造コストを不必要に増大させることなくより大きな画面サイズあるいはより高い解像度を得る。

【解決手段】 液晶表示装置は複数の液晶画素のマトリクスアレイ、複数の走査線、および複数の信号線を有する液晶パネルと、各走査線を介して1行の液晶画素を選択し、複数の信号線を介して選択行の液晶画素の電圧を制御する表示制御回路とを備え、表示制御回路はこれら信号線を順次駆動する信号線ドライバを含み、信号線ドライバはクロック信号および画素データ信号を伝送する渡り配線10によりカスケード接続され各々クロック信号に同期して画素データ信号を順次所定数の信号線に供給する複数のドライバIC1を有する。特に各ドライバIC1は次段に出力されるクロック信号のデューティ比を調節することによりクロック信号波形を整形するデューティサイクルレギュレタ6を有する。



【特許請求の範囲】

【請求項1】 複数の液晶画素のマトリクスアレイ、前記複数の液晶画素の行に沿って形成される複数の走査線、および前記複数の液晶画素の列に沿って形成される複数の信号線を有する液晶パネルと、前記複数の走査線の各々を介して1行の液晶画素を選択し、前記複数の信号線を介して選択行の液晶画素の電圧を制御する駆動回路とを備え、前記駆動回路は前記複数の信号線を順次駆動する信号線ドライバを含み、前記信号線ドライバは少なくともクロック信号および表示信号を伝送する渡り配線によりカスケード接続され各々クロック信号に同期して表示信号を順次所定数の信号線に供給する複数のドライバICを有し、各ドライバICは次段のドライバICに出力されるクロック信号のデューティ比を調節することによりクロック信号波形を整形するクロック波形整形回路を有する液晶表示装置。

【請求項2】 前記液晶パネルは前記複数の信号線が形成されるガラス板を有し、前記渡り配線は前記ガラス板上に形成される請求項1に記載の液晶表示装置。

【請求項3】 前記複数のドライバICは前記渡り配線に前記ガラス板で接続される半導体ベアチップである請求項2に記載の液晶表示装置。

【請求項4】 前記液晶パネルは前記複数の信号線が形成されるガラス板を有し、前記渡り配線は前記ガラス板上に配置されたフレキシブル基板上に形成される請求項1に記載の液晶表示装置。

【請求項5】 前記クロック波形整形回路はクロック信号のデューティ比を1:1に調整するデューティサイクルレギュレタを備える請求項1に記載の液晶表示装置。

【請求項6】 デューティサイクルレギュレタはPLL回路により構成される請求項1に記載の液晶表示装置。

【請求項7】 デューティサイクルレギュレタはDLL回路により構成される請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の液晶画素がマトリクス状に配置される液晶表示装置に関し、特に画像を表示するためにこれら液晶画素の電圧を制御する駆動回路に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の液晶表示装置は液晶層がアレイ基板および対向基板間に保持される液晶パネルを有する。アレイ基板および対向基板の各々は透明なガラス板をベースにして形成され、液晶層はアレイ基板と対向基板との間隙に充填される液晶組成物で構成される。アレイ基板は複数の画素電極のマトリクスアレイと、これら画素電極の行に沿ってそれぞれ形成される複数の走査線と、これら画素電極の列に沿ってそれぞれ形成される複数の信号線と、これら走査線お

よび信号線の交差位置近くにそれぞれ形成され各々1走査線からの選択信号にตอบสนองして1信号線を1画素電極に電氣的に接続するスイッチング素子として機能する複数の薄膜トランジスタ(TFT)と、選択信号を複数の走査線の各々に供給する走査線ドライバと、画素データ信号を複数の信号線に供給する信号線ドライバとを備える。この液晶表示装置では、画像がこれら画素電極および共通電極間の電位差に対応して表示される。

【0003】例えば信号線ドライバは図13に示すように配列される複数のドライバICで構成される。これらドライバICは電源ラインVDD、電源ラインGND、データラインDATA、制御信号ラインCNTを含む共通バスラインに接続され、この共通バスラインと共に液晶パネルの外周に隣接するドライバ基板上に配置される。

【0004】ところで、上述したドライバ基板を持つ液晶表示装置では、より大きな画面サイズあるいはより高い解像度を得る場合に液晶パネルの額縁寸法を増大させる必要が生じる。このため、COG(Chip On Glass)実装技術がドライバ基板を不要にするために提案されている。この技術では、薄膜配線がアレイ基板のガラス表面に露出した接続端子にコンタクトして形成され、複数のドライバICのベアチップがこの薄膜配線に半田付される。

【0005】

【発明が解決しようとする課題】しかしながら、現在のCOG実装技術で形成される薄膜配線は比較的高い抵抗値を持つため配線の幅を狭くすることが難しい。これは、液晶パネルの額縁寸法を増大する要因となる。また、液晶パネルの製造では、一般に複数のアレイ基板が1枚のガラス板から製造される。すなわち、各アレイ基板の回路コンポーネントはこのガラス板を区分して得られる一領域に形成される。全ての薄膜配線がアレイ基板内に配置される場合には、各アレイ基板の占有面積が増大し、より大きなガラス板が必要となる。いいかえれば、1枚のガラス板から得られるアレイ基板数が減少する。これは、液晶パネルの製造コストを増大させる結果となる。また、共通バスラインに対応する薄膜配線だけを外部のプリント配線板に形成することも考えられるが、このプリント配線板の利用が製造コストを増大させるおそれもある。例えば共通バスラインが長くなると、これが伝送信号の波形を鈍らせる寄生容量を増加させることから高速な信号伝送を難しくする。さらに、不要電波がこのプリント配線板上の共通バスラインから輻射され易くなる。従って、この不要電波の輻射を低減するためにシールド層あるいは終端抵抗を余計に設けなくてはならない。

【0006】また、額縁寸法および製造コストの増大を防止するために複数のドライバICをCOG実装技術によりアレイ基板上に形成しこれらドライバIC間に渡り

配線の薄膜を形成することも考えられる。渡り配線はこれらドライバICをカスケード接続し、各ドライバICを経由した信号を送る。しかし、このような構成ではクロック周波数が5MHz程度の低い信号伝送速度しか得られない。実験によれば、クロック信号のパルス幅が1個のドライバICを通過する毎に最悪で40ns低下する。従って、正常な信号伝送を確保するためには、カスケード接続されるドライバIC数を最大で10個程度に制限しなくてはならない。

【0007】本発明の目的は、額縁寸法および製造コストを不必要に増大させることなくより大きな画面サイズあるいはより高い解像度を得ることができる液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、複数の液晶画素のマトリクスアレイ、これら液晶画素の行に沿って形成される複数の走査線、およびこれら液晶画素の列に沿って形成される複数の信号線を有する液晶パネルと、これら走査線の各々を介して1行の液晶画素を選択し、複数の信号線を介して選択行の液晶画素の電圧を制御する駆動回路とを備え、この駆動回路は複数の信号線を順次駆動する信号線ドライバを含み、この信号線ドライバは少なくともクロック信号および表示信号を送る渡り配線によりカスケード接続され各々クロック信号に同期して表示信号を順次所定数の信号線に供給する複数のドライバICを有し、各ドライバICは表示信号と共に次段に出力されるクロック信号のデューティ比を調節することによりクロック信号波形を整形するクロック波形整形回路を有する液晶表示装置が提供される。

【0009】この液晶表示装置では、各ドライバICのクロック波形整形回路がクロック信号のデューティ比を調節することによりクロック信号波形を整形するため、このドライバIC数の増大に関係なく伝送能力を維持することができる。例えば複数のドライバICがCOG実装により液晶パネルに組込まれ高抵抗薄膜の渡り配線でカスケード接続される場合において液晶パネルの額縁寸法および製造コストを不必要に増大させないために渡り配線の幅を狭く維持しても正常な信号伝送が可能となる。

【0010】具体的には、液晶表示装置がクロック周波数が25MHzから65MHz程度の高い信号伝送速度を得ることができる。従って、より大きな画面サイズあるいはより高い解像度を得るために10個以上のドライバICをカスケード接続することができる。

【0011】

【発明の実施の形態】以下、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置を図面を参照して説明する。図1はこの液晶表示装置20の平面構造を概略的に示す。液晶表示装置20は、液晶層がアレイ基板および対向基板間に保持される液晶パネル22と、この

液晶パネル20の液晶画素の電圧を制御する表示制御回路とを有する。アレイ基板および対向基板の各々は透明なガラス板をベースにして形成され、液晶層はアレイ基板と対向基板との間隙に充填される液晶組成物で構成される。アレイ基板は複数の画素電極のマトリクスアレイと、これら画素電極の行に沿ってそれぞれ形成される複数の走査線と、これら画素電極の列に沿ってそれぞれ形成される複数の信号線と、これら走査線および信号線の交差位置近くにそれぞれ形成されスイッチング素子として機能する複数の薄膜トランジスタ(TFT)とを備える。各TFTは1走査線に接続されるゲートと1信号線および1画素電極に接続されたカレントパスとを有し、走査線からの選択信号に応答して信号線を画素電極に電気的に接続するために用いられる。表示制御回路は外部の液晶コントローラから供給される電源電圧、画素データ信号、クロック信号、その他の制御信号を入力するインターフェース部25と、インターフェース部25からの電源電圧および制御信号を受取り、この制御信号の制御により選択信号を複数の走査線に順次供給する動作を電源電圧の下で行う走査線ドライバ24と、インターフェース部25から入力される電源電圧、画素データ信号、クロック信号、および制御信号を受取り、制御信号の制御によりクロック信号に同期して画素データ信号を複数の信号線に順次供給する動作を電源電圧の下で行う1対の信号線ドライバ23とを備える。これらドライバ23および24は液晶パネル22の外周に隣接して配置されるドライバ基板上にそれぞれ形成される。走査線ドライバ24は複数の走査線に接続され、1対の信号線ドライバ23はそれぞれ奇数番目の信号線および偶数番目の信号線に接続される。この液晶表示装置では、画像が液晶画素のマトリクスアレイを構成するために液晶層を介して対向する複数の画素電極および共通電極間の電位差に対応して表示される。

【0012】図2は信号線ドライバ23の構造を概略的に示す。各信号線ドライバ23は図2に示すように配列される複数のドライバIC1で構成される。複数のドライバIC1はこれらに沿って形成される電源ラインVDDおよび電源ラインGNDに共通に接続されると共に、これらドライバIC1間に形成される渡り配線10によりカスケード接続される半導体ベアチップである。この渡り配線10は各ドライバIC1を経由して画素データ信号、クロック信号、および様々な制御信号を送るために用いられる。各ドライバIC1はこれら信号を入力パッド部2を介して受取り、制御信号の制御によりクロック信号に同期して画素データ信号を順次所定数の信号線に供給し、さらに出力パッド部3から次段のドライバIC1に出力するためにこれら信号を波形整形する。ちなみに、複数のドライバIC1のベアチップはドライバ基板において電源ラインVDDおよびGNDと一緒に絶縁層で被覆される。

【0013】図3は各ドライバIC1の構成を詳細に示す。渡り配線10はクロック信号を伝送するクロックラインCLK、画素データ信号を伝送する複数のデータラインDATA、制御信号を伝送する複数の制御ラインCNTで構成される。ドライバIC1はクロックラインCLK、データラインDATA、制御ラインCNTをそれぞれ介して入力パッド部に供給される信号を増幅する第1バッファアンプ4、これら第1バッファアンプ4から出力される画素データ信号および制御信号を第1バッファアンプ4から出力されるクロック信号に忠答して同時にラッチする第1ラッチ回路5、バッファアンプ4から出力されるクロック信号についてデューティ比を調整するデューティサイクルレギュレタ6、第1ラッチ回路5から出力される画素データ信号を第1バッファアンプ4から出力されるクロック信号に同期して順次所定数の信号線に供給する制御ロジックCT、第1ラッチ回路5から出力される画素データ信号および制御信号をデューティサイクルレギュレタ6から出力されるクロック信号に忠答して同時にラッチする第2ラッチ回路7、および第2ラッチ回路7から出力される画素データ信号および制御信号並びにデューティサイクルレギュレタ6から出力されるクロック信号を増幅して出力パッド部3に供給する第2バッファアンプ8とを備える。

【0014】すなわち、画素データ信号、クロック信号、および様々な制御信号は入力パッド部3からドライバIC1内部に供給され、さらにここで2つの伝送系路に分配される。一方の伝送系路はこれら信号を制御ロジックCTに供給するために用いられ、他方の伝送系路はこれら信号を波形整形して後段のドライバIC1に出力パッド部3に供給するために用いられる。制御ロジックCTは例えば制御信号として供給されるスタートパルスをクロック信号に同期してシフトすることにより順次所定数の信号線を選択するシフトレジスタ回路およびこのシフトレジスタ回路によって選択される信号線を画素データ信号に対応する電圧に設定する出力回路とで構成される。画素データ信号および制御信号はラッチ回路5および7で波形整形され、クロック信号はデューティサイクルレギュレタ6により波形整形される。ラッチ回路5および7では、画素データ信号および制御信号がクロック信号のタイミングを基準にしてラッチされ、伝送による信号歪みを修復する。デューティサイクルレギュレタ6は、例えばクロック信号の電圧の平均値にしい値を追従させながらクロック信号を整形すると共にクロック信号のデューティ比をほぼ1:1に維持して次段のドライバIC1へ出力する動作を行う。

【0015】デューティサイクルレギュレタ6は例えば図4に示すようなPLL回路を用いて構成される。このPLL回路はエッジ動作周波數位相比較回路6A、ローパスフィルタ6B、および電圧制御可変周波数発振回路6Cを有する。エッジ動作周波數位相比較回路6Aはバ

ッファアンプ4からの入力クロック信号と発振回路6Cからの出力クロック信号との位相を比較し、位相差に基づいて誤差電圧を発生する。この誤差電圧は制御電圧としてローパスフィルタ6Bを介して発振回路6Cに供給され、出力クロック信号の位相をシフトさせる。

【0016】上述の電圧制御可変周波数発振回路6Cは例えば図5に示すように直列に接続された複数のCMOSインバータを含む。これらCMOSインバータはローパスフィルタ6Bから供給される制御電圧によりバイアスされ出力端P1-P8、PFの放電電流を調整するMOSトランジスタを含み、最終段のCMOSインバータの出力端PFは出力クロック信号をフィードバックするために先頭のCMOSインバータの入力端に接続される。これにより、全CMOSトランジスタは図6に示すような出力クロック信号を周期的に出力端P1-P8、PFから発生する。これら出力クロック信号の位相は制御電圧の変化に追従して一定の割合で変化する。

【0017】また、デューティサイクルレギュレタ6は例えば図7に示すようなDLL回路を用いて構成される。このDLL回路は1/2分周回路6F、排他的論理和6G、電圧制御遅延回路6H、乗算型位相比較回路6I、およびローパスフィルタ6Jを有する。1/2分周回路6Fはバッファアンプ4からの入力クロック信号を1/2に分周し、排他的論理和6G、電圧制御遅延回路6H、および乗算型位相比較回路6Iに供給する。遅延回路6Hは分周回路6Fからのクロック信号を遅延し、位相比較回路6Iおよび排他的論理和6Gに供給する。位相比較回路6Iは分周回路6Fからのクロック信号と遅延回路6Hからのクロック信号とを比較し、位相差に基づいて誤差電圧を発生する。この誤差電圧は遅延時間を増減させる制御電圧としてローパスフィルタ6Jを介して遅延回路6Hに供給される。排他的論理和6Gは分周回路6Fからのクロック信号と遅延回路6Hからのクロック信号との排他的論理和に対応する出力クロック信号を発生する。

【0018】電圧制御遅延回路6Hは例えば図8に示すように直列に接続された複数のCMOSインバータを含む。これらCMOSインバータはローパスフィルタ6Jから供給される制御電圧によりバイアスされそれぞれの出力端の放電電流を調整するMOSトランジスタを含み、1/2分周回路6Gからのクロック信号が先頭のCMOSインバータの入力端に供給される。これにより、全CMOSトランジスタは出力クロック信号を周期的にそれぞれの出力端から発生する。これら出力クロック信号の位相は制御電圧の変化に追従して一定の割合で変化する。

【0019】上述したDLL回路では、1/2分周回路6F、排他的論理和6G、電圧制御遅延回路6H、乗算型位相比較回路6I、およびローパスフィルタ6Jの出力S1-S6が図9に示すように変化する。この結果、

クロック信号のデューティー比がほぼ1:1に維持され次段のドライバIC1へ出力される。

【0020】本実施形態の液晶表示装置によれば、画素データ信号の歪みを低減しながらクロック信号のタイミングが適正化されるため、ドライバIC1の数の増大に関係なく信号伝送能力を維持することができる。また、この液晶表示装置は渡り配線10を用いて画素データ信号、クロック信号、および様々な制御信号を伝送することから、信号伝送に必要な配線領域を低減することができる。従って、額縁寸法および製造コストを不必要に増大させることなくより大きな画面サイズあるいはより高い解像度を得ることが可能となる。

【0021】尚、上述の実施形態では信号線ドライバ23のドライバIC1がドライバ基板に形成されたが、図10に示すようにCOG実装技術によりアレイ基板9の外周上に形成し、これらドライバIC1間に渡り配線10の薄膜を形成することもできる。この渡り配線10はこれらドライバIC1をカスケード接続し、各ドライバIC1を経由して画素データ信号、クロック信号、および様々な制御信号を伝送する。この場合、液晶表示装置がクロック周波数が25MHzから65MHz程度の高い信号伝送速度を得ることができる。従って、より大きな画面サイズあるいはより高い解像度を得るために10個以上のドライバICをカスケード接続することができる。

【0022】また、渡り配線は信号線ドライバ23だけでなく走査線ドライバ24にも適用して良い。さらに上述の実施形態は、複雑化を避けるために電源ラインVDおよびGNDを介してドライバIC1の回路コンポーネントに共通に供給される電源電圧についてのみ説明されたが、実際にはこの共通な電源電圧の他に画素データ信号に対応する画素電極用駆動電源電圧および共通電極用基準電源電圧も必要とされる。

【0023】液晶パネル20の外形寸法および配線抵抗による電圧降下が比較的小さい場合には、渡り配線10がこれら電源電圧を供給する電源ラインについても適用できる。この場合、図11に示すように電圧安定回路12が電源入力パッド部11および電源出力パッド13と共に各ドライバIC1に付加される。様々な電源電圧は電源入力パッド部11を介してドライバIC1に入力され、バッファアンプ4、ラッチ回路5、デューティサイクルレギュレタ6、ラッチ回路7、バッファアンプ8、および制御ロジックCTのような回路コンポーネントに供給されると共に電圧安定回路12に供給される。これら電源電圧は電圧安定回路12でそれぞれ安定化され、電源出力パッドを介して次段のドライバICに出力される。ちなみに、上述の電圧安定回路12は各ドライバIC1において各電源電圧毎に独立に設けられても良い。

【0024】上述の電圧安定回路12を各ドライバIC1に組み込んだ上で、渡り配線10がクロック信号、画

素データ信号、その他の制御信号用の信号ラインに加えて全ての電源ラインを含むように構成されれば、電源電圧を供給するために外部バスラインを用いる場合よりも信号ドライバ23の配線領域を低減できる。

【0025】さらに、複数のドライバIC1が入力パッド部2および電源入力パッド部11を一方の短辺に配置すると共に出力パッド部3および電源出力パッド部13を他方の短辺に配置したアスペクト比1:5以上の矩形形状を持ち、図12に示すようにアレイ基板9の外周に配列すれば、渡り配線10がほぼ直線的となりドライバIC1の間隔も効果的に低減できる。

【0026】尚、図12では、各々渡り配線10がフレキシブルな樹脂フィルム上に形成された複数の渡り配線チップ100が複数のドライバIC1間にそれぞれ配置され、これらドライバIC1が渡り配線チップ100上の渡り配線10によりカスケード接続される。

【0027】もし液晶パネル20の外形寸法および配線抵抗による電圧降下が比較的大きい場合には、画素電極用駆動電源電圧および共通電極用基準電源電圧のみ外部の共通バスラインを用いて各ドライバICに直接供給すればよい。このような場合でも、外部の共通バスラインのライン数は低減される。すなわち、多くの領域がこの共通バスラインによって占有されないため、額縁寸法の増大を抑制できる。

【0028】上述の変形例では、信号線ドライバIC1が極力外部バスラインを用いずに信号伝送するように構成される。複数のドライバIC1が渡り配線によりカスケード接続される場合、伝送信号が各ドライバIC1を経由する毎に歪むが、この歪みは各ドライバにおいて伝送信号の波形整形を行うことにより解消される。従って、ドライバIC1の数が伝送信号に生じる歪みのために制約されることがない。

【0029】また、電圧安定回路12が各ドライバIC1に設けられ、ドライバIC1の外部要因で生じる電圧変動およびドライバIC1の内部負荷により生じる電圧変動に対して電源電圧を安定に維持する。これにより、電源電圧の供給についても共通バスラインの代りに渡り配線を利用できるようになる。

【0030】

【発明の効果】本発明によれば、額縁寸法および製造コストを不必要に増大させることなくより大きな画面サイズあるいはより高い解像度を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置を概略的に示す平面図である。

【図2】図1に示す信号線ドライバの構造を概略的に示すブロック図である。

【図3】図2に示す各ドライバICの構成を詳細に示す回路図である。

【図4】図3に示すデューティサイクルレギュレタとし

て用いられるPLL回路の構成を示す回路図である。

【図5】図4に示す電圧制御可変周波数発振回路の構成を示す回路図である。

【図6】図5に示す電圧制御可変周波数発振回路の動作を示すタイムチャートである。

【図7】図5に示すデューティサイクルレギュレタとして用いられるDLL回路の構成を示す回路図である。

【図8】図7に示す電圧制御遅延回路の構成を示す回路図である。

【図9】図7に示すDLL回路の動作を示すタイムチャートである。

【図10】図2に示すドライバICがアレイ基板上に実装されたときの配線状態を示す斜視図である。

【図11】図2に示す渡り配線を電源ラインにも適用する場合に各ドライバICに付加される電圧安定化回路を説明するための回路図である。

【図12】図11に示す電圧安定回路を持つドライバICがアレイ基板上に実装されたときの配線状態を示す斜

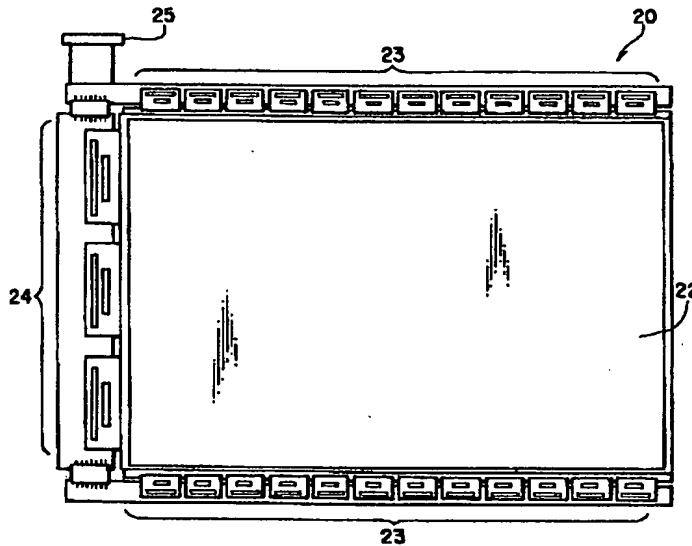
視図である。

【図13】従来の液晶表示装置の信号線ドライバの構造を概略的に示すブロック図である。

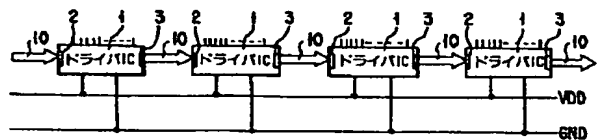
【符号の説明】

- 1…ドライバIC
- 2…入力パッド部
- 3…出力パッド部
- 4…バッファアンプ
- 5…ラッチ回路
- 6…デューティサイクルレギュレタ
- 7…ラッチ回路
- 8…バッファアンプ
- 9…アレイ基板
- 10…渡り配線
- 22…液晶パネル
- 23…信号線ドライバ
- CT…制御ロジック

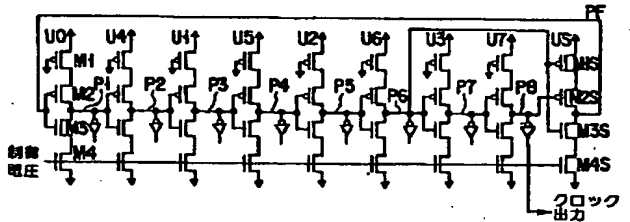
【図1】



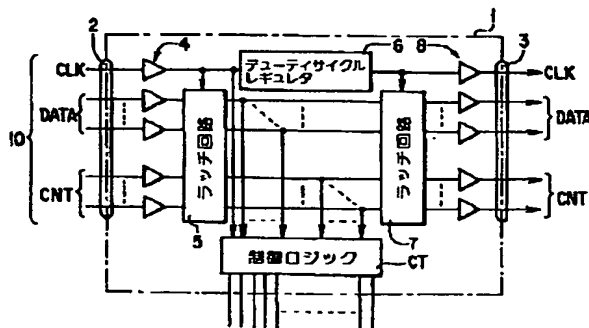
【図2】



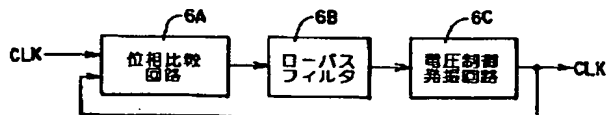
【図5】



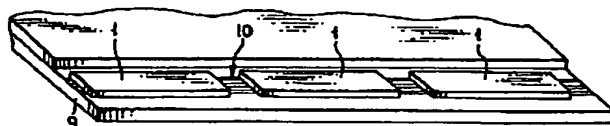
【図3】



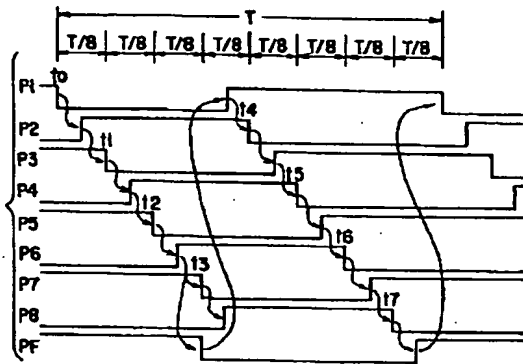
【図4】



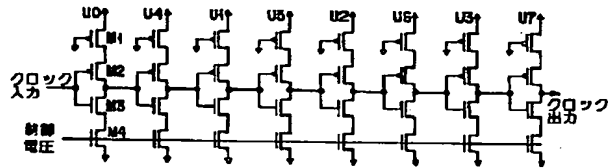
【図10】



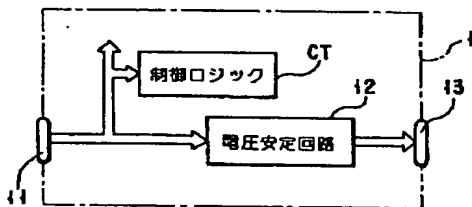
【図6】



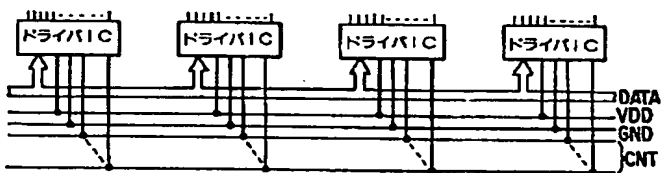
【図8】



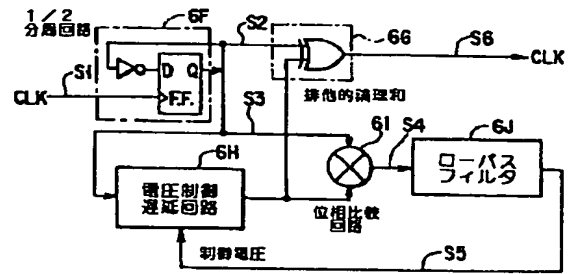
【例 11】



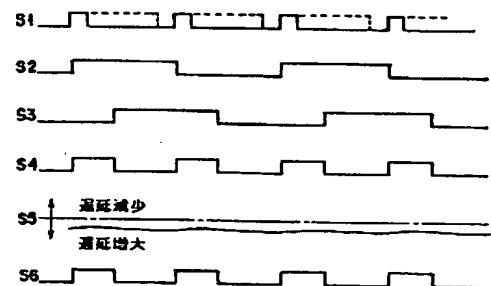
【図 13】



【图 7】



【図 9】



【图 1 2】

